

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-137661

(43)公開日 平成8年(1996)5月31日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F	5/00	S		
	9/30	3 7 0		
	15/78	5 1 0 A		

審査請求 未請求 請求項の数8 F D (全 14 頁)

(21)出願番号 特願平6-294010

(22)出願日 平成6年(1994)11月2日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233468

日立超エル・エス・アイ・エンジニアリング株式会社

東京都小平市上水本町5丁目20番1号

(72)発明者 相澤 龍也

東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイ・エンジニアリング株式会社内

(74)代理人 弁理士 徳若 光政

最終頁に続く

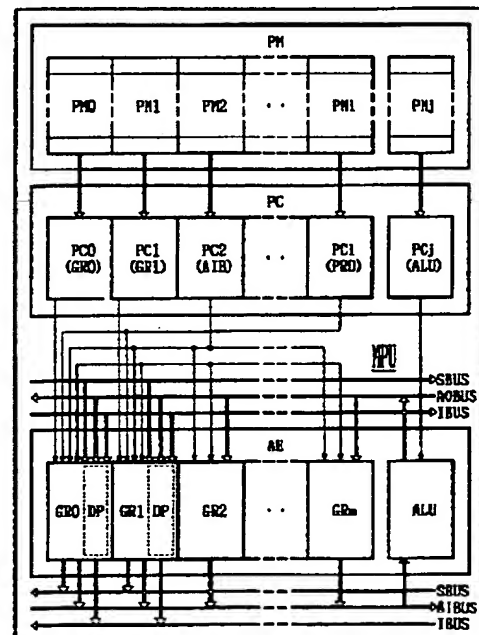
(54)【発明の名称】 デジタル処理装置

(57)【要約】

【目的】 その入出力処理に関する性能及び分解能を低下させることなく、複数の周辺装置としての機能を時分割的にかつ効率的にエミュレートしうるマイクロプロセッサMPU等のデジタル処理装置を実現する。

【構成】 算術論理演算ユニット出力バスAOBUS及び算術論理演算ユニット入力バスAIBUSを介して算術論理演算ユニットALUに結合される汎用レジスタGR0～GRmのうち例えば2個の汎用レジスタGR0及びGR1に、その保持データに所定のデータ加工処理を施すデータ加工部DPをそれぞれ設ける。また、このようなデータ加工部DPを含む機能付き汎用レジスタGR0及びGR1を、インタフェースバスIBUSを介して入出力ポートに直結するとともに、各機能付き汎用レジスタに対応して、その動作を制御するためのプログラムメモリPM0及びPM1ならびに制御回路PC0及びPC1を設ける。

図2 マイクロプロセッサの構成



【特許請求の範囲】

【請求項 1】 所定の演算機能を有する算術論理演算ユニットと、所定のバスを介して上記算術論理演算ユニットに結合される汎用レジスタとを具備し、上記汎用レジスタの一部又は全部がその保持データに対して所定の加工処理を施すデータ加工部を含むことを特徴とするデジタル処理装置。

【請求項 2】 上記デジタル処理装置は、上記算術論理演算ユニットと上記データ加工部を含む汎用レジスタとに対応して設けられるプログラムメモリ及び制御回路と、外部装置に結合される入出力ポートとを具備するものであって、上記データ加工部を含む汎用レジスタは、上記入出力ポートの対応するポートに結合されるものであることを特徴とする請求項 1 のデジタル処理装置。

【請求項 3】 上記データ加工部を含む汎用レジスタは、上記算術論理演算ユニットとは独立にかつ並行して動作し、実質的に対応する上記外部装置との間の入力処理又は出力処理を制御する周辺装置として機能しうるものであることを特徴とする請求項 1 又は請求項 2 のデジタル処理装置。

【請求項 4】 上記データ加工部は、複数の入力ノード及び出力ノードと、上記複数の入力ノードを介して入力される入力データを所定の優先順位で選択的に取り込むライトセクタと、対応する上記汎用レジスタの保持データを対応する上記出力ノードに選択的に出力するリードセクタとを含むものであることを特徴とする請求項 1、請求項 2 又は請求項 3 のデジタル処理装置。

【請求項 5】 上記データ加工部は、対応する上記汎用レジスタの所定ビットを出力した後、選択的にクリアし又はプリセットしうるものであることを特徴とする請求項 1、請求項 2、請求項 3 又は請求項 4 のデジタル処理装置。

【請求項 6】 上記データ加工部は、対応する上記汎用レジスタの各ビットを選択的にシリアル結合し、シフト構成としうるものであることを特徴とする請求項 1、請求項 2、請求項 3 又は請求項 4 のデジタル処理装置。

【請求項 7】 上記データ加工部は、対応する上記汎用レジスタがシフト構成とされるとき、最下位ビットの出力信号を選択的に繰り返しその入力端子に入力しうるものであることを特徴とする請求項 6 のデジタル処理装置。

【請求項 8】 上記データ加工部は、算術論理演算ユニット又は入出力ポートからパラレルに入力されるデータの上位又は下位ビットを、その下位又は上位ビットをマスクとして選択的に取り込みうるものであることを特徴とする請求項 1、請求項 2、請求項 3 又は請求項 4 のデジタル処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明はデジタル処理装置に関

し、例えば、周辺装置をソフトウェアでエミュレートするためのインテリジェントサブプロセッサとして機能するマイクロプロセッサならびにこのようなマイクロプロセッサを搭載するシングルチップマイクロコンピュータに利用して特に有効な技術に関するものである。

【0002】

【従来の技術】 中央処理装置やリードオンリーメモリ及びランダムアクセスメモリ等の記憶装置ならびにダイレクトメモリアccessコントローラ、シリアルコミュニケーションインタフェース及びタイマー回路等の周辺装置を 1 個のチップ（半導体基板）上に搭載したシングルチップマイクロコンピュータがある。これらのシングルチップマイクロコンピュータにおいて、各周辺装置は、それぞれ専用化されたハードウェアにより実現され、そのメーカは、複数の周辺装置を種々の組み合わせで搭載することにより、シングルチップマイクロコンピュータの品種展開を図ってきた。このため、シングルチップマイクロコンピュータのユーザは、限られた品種の中から最もその用途に近いものを選択せざるを得ず、選択した品種が必ずしもユーザのニーズに対応した最適品とはならないケースも多い。また、メーカがユーザの多様化された要求に応えようとしても、ハードウェアの変更を伴うために比較的長い開発期間を要し、製品の価格上昇を招く結果となる。

【0003】 これに対処するため、中央処理装置の他にサブプロセッサとなるマイクロプロセッサをシングルチップマイクロコンピュータに設け、各種の周辺装置の機能をソフトウェア的にエミュレートする方法が特開平 4-1 9 5 4 8 1 号によって提案されている。このシングルチップマイクロコンピュータは、入出力ポート（外部ポート）に直結された多機能メモリを備え、マイクロプロセッサは、中央処理装置を介することなくしかもビットごとに多機能メモリをアクセスできるため、ソフトウェアの実行速度と入出力装置の処理速度との間のタイムラグを解消しつつ、複数の周辺装置の機能を並行してエミュレートできるものである。

【0004】

【発明が解決しようとする課題】 ところが、ユーザニーズがさらに多様化し高性能化するにしたがって、上記に記載されるシングルチップマイクロコンピュータにも次のような問題点が生じることが本願発明者等によって明らかとなった。すなわち、上記シングルチップマイクロコンピュータでは、マイクロプロセッサと多機能メモリとの間のデータ授受が 1 ビット又は 2 ビット単位で行われ、多機能メモリ自体も、マイクロプロセッサ又は入出力装置から与えられたデータをそのまま伝達するだけでいわゆるデータ加工機能を有さない。このため、マイクロプロセッサ及び入出力ポート間のデータ授受が十分に高速化されず、また並行処理に伴うマイクロプロセッサの処理負担が増大する結果となり、これによってシング

ルチップマイクロコンピュータの入出力処理に関する性能及び分解能が低下するものである。

【0005】この発明の目的は、その入出力処理に関する性能及び分解能を低下させることなく、複数の周辺装置としての機能を時分割的にかつ効率的にエミュレートしうるマイクロプロセッサ等のデジタル処理装置を実現することにある。

【0006】この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

【0007】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。すなわち、シングルチップマイクロコンピュータ等に搭載され複数の周辺装置としての機能をソフトウェア的にかつ時分割的にエミュレートするマイクロプロセッサ等において、算術論理演算ユニットに結合される汎用レジスタの一部又は全部に、その保持データに所定の加工処理を施すためのデータ加工機能を持たせる。また、このようなデータ加工機能を持つ機能付き汎用レジスタを入出力ポートに直結するとともに、各機能付き汎用レジスタに対応して、その動作を制御するためのプログラムメモリ及び制御回路を設ける。

【0008】

【作用】上記した手段によれば、算術論理演算ユニットと入出力ポートとの間を機能付き汎用レジスタを介して論理的に直結し、マイクロプロセッサ及び入出力ポート間のデータ授受を高速化できるとともに、入出力データに対するマスク処理やシフト処理を機能付き汎用レジスタにより算術論理演算ユニットを介することなく並行して行うことができる。この結果、その入出力処理に関する性能及び分解能を低下させることなく、複数の周辺装置としての機能を時分割的にかつ効率的にエミュレートしうるマイクロプロセッサ等を実現することができる。

【0009】

【実施例】図1には、この発明が適用されたマイクロプロセッサMPUを含むシングルチップマイクロコンピュータMCの一実施例のシステム構成図が示されている。同図により、まずこの実施例のマイクロプロセッサMPUを含むシングルチップマイクロコンピュータMCの構成及び動作の概要について説明する。なお、図1の各ブロックを構成する回路素子は、公知の半導体集積回路の製造技術により、単結晶シリコンのような1個の半導体基板上に形成される。

【0010】図1において、シングルチップマイクロコンピュータMCは、いわゆるストアードプログラム方式の中央処理装置CPUと、システムバスSBUSを介して中央処理装置CPUに結合されるリードオンリーメモリROM及びランダムアクセスメモリRAMとを備える。このうち、中央処理装置CPUは、いわゆるメインプロ

セッサとして機能し、リードオンリーメモリROMに格納された制御プログラムに従ってステップ動作して、所定の演算処理を実行するとともに、シングルチップマイクロコンピュータMCの各部の動作を制御・統轄する。

【0011】シングルチップマイクロコンピュータMCのシステムバスSBUSには、さらにマイクロプログラム方式のマイクロプロセッサMPUが結合されるとともに、ダイレクトメモリアクセスコントローラDMAC、シリアルコミュニケーションインタフェースSCI及び入出力ポートIOPが結合される。このうち、マイクロプロセッサMPUは、 $m+1$ 個の汎用レジスタGR0～GR m と図示されない算術論理演算ユニットALUとを含み、複数の周辺装置としての機能をソフトウェア的にエミュレートするいわゆるサブプロセッサとして機能する。また、ダイレクトメモリアクセスコントローラDMACは、中央処理装置CPU又はマイクロプロセッサMPUを介することなくリードオンリーメモリROM又はランダムアクセスメモリRAMとシリアルコミュニケーションインタフェースSCI又は入出力ポートIOPとの間のデータ授受を仲介し、シリアルコミュニケーションインタフェースSCIは、データの直並列又は並直列変換機能を有し、外部のシリアル入出力装置との間で一連のデータのシリアル転送を行う。なお、マイクロプロセッサMPUは、前述のように、複数の周辺装置を時分割的にエミュレートするサブプロセッサとして機能するが、論理構成が複雑で相当な高速性を要求されることの多いダイレクトメモリアクセスコントローラDMAC及びシリアルコミュニケーションインタフェースSCIについては専用ハードウェアも搭載し、ユーザの高度なニーズに応えることができる構成とした。

【0012】この実施例において、マイクロプロセッサMPUに含まれる $m+1$ 個の汎用レジスタGR0～GR m のうち2個の汎用レジスタGR0及びGR1は、インタフェースバスIBUSを介して入出力ポートIOPのポートP0及びP1にそれぞれ直結される。また、これらの汎用レジスタGR0及びGR1は、後述するように、データ加工部DPをそれぞれ含み、その保持データに対して所定のデータ加工処理を独立に施しうるいわゆる機能付き汎用レジスタとされる。一方、入出力ポートIOPを起点とするインタフェースバスIBUSには、さらに中央処理装置CPUが結合されるとともに、ダイレクトメモリアクセスコントローラDMAC及びシリアルコミュニケーションインタフェースSCIが結合される。また、シリアルコミュニケーションインタフェースSCIは、入出力ポートIOPのポートP2に結合され、入出力ポートIOPのポートP1ないしP2には、対応する入出力装置IO0～IO2がそれぞれ結合される。なお、インタフェースバスIBUSは、システムバスSBUSのような確固たる共通バス形態を採るものではなく、特定のブロック間に設けられた多くの専用信号

線を含む。

【0013】図2には、図1のシングルチップマイクロコンピュータMCに含まれるマイクロプロセッサMPUの一実施例のブロック図が示されている。また、図3には、図2のマイクロプロセッサMPUに含まれる機能付き汎用レジスタGR0の一実施例のブロック図が示され、図4には、図3の機能付き汎用レジスタGR0のビットB0の一実施例のブロック図が示されている。これらの図をもとに、マイクロプロセッサMPUの具体的構成及び動作ならびにその特徴について説明する。なお、機能付き汎用レジスタGR1については、図3の機能付き汎用レジスタGR0に関する説明から類推され、機能付き汎用レジスタGR0のビットB1～BFについては、図4のビットB0に関する説明から類推されたい。

【0014】図2において、マイクロプロセッサMPUは、前述のように、マイクロプログラム方式の処理装置とされ、プログラムメモリ部PM、制御回路部PCならびに演算回路部AEを含む。このうち、プログラムメモリ部PMは、それぞれ所定ビットからなる $j+1$ 個のプログラムメモリPM0～PM j を含み、これらのプログラムメモリから出力される命令は一つのワードを構成する。プログラムメモリPM0～PM j すなわちプログラムメモリ部PMは、特に制限されないが、512のアドレスを有し、そのアドレスは、図示されないプログラムカウンタによって所定の順序で択一的に指定される。マイクロプロセッサMPUは、所定のクロック信号に従って同期動作し、マイクロプロセッサMPUから読み出される各ワードの命令に沿った処理をクロック信号の1サイクル内に実行する。

【0015】一方、制御回路部PCは、プログラムメモリ部PMのプログラムメモリPM0～PM j に対応して設けられる $j+1$ 個の制御回路PC0～PC j を含む。このうち、制御回路PC0及びPC1は、演算回路部AEの機能付き汎用レジスタGR0及びGR1の動作をそれぞれ制御し、制御回路PC2は、算術論理演算ユニット入力バスAIBUSに対する入力を制御する。また、制御回路PC i は、後述するリード機能を制御し、制御回路PC j は、算術論理演算ユニットALUの動作を制御する。なお、図示されない制御回路PC3は、算術論理演算ユニット出力バスAOBUSに対する出力を制御し、制御回路PC $i-1$ は、後述するOUT命令に供される。制御回路PC0～PC j は、対応するプログラムメモリPM0～PM j から読み出される命令をそれぞれデコードして、対応するブロックの動作制御に必要な制御信号を選択的に形成する。これにより、この実施例のマイクロプロセッサMPUは、プログラムメモリPM0～PM j に格納された命令を制御回路PC0～PC j つまりは複数の機能単位を使って同時にかつ並行して実行し、複数の機能を同時にかつ並行して実現する。

【0016】次に、演算回路部AEは、算術論理演算ユ

ニットALUと、算術論理演算ユニット入力バスAIBUS及び算術論理演算ユニット出力バスAOBUSを介して算術論理演算ユニットALUに結合される $m+1$ 個の汎用レジスタGR0～GR m とを含む。このうち、算術論理演算ユニットALUは、各種演算機能を有し、算術論理演算ユニット入力バスAIBUSを介して入力されるデータに所定の演算処理を施し、算術論理演算ユニット出力バスAOBUSに出力する。また、汎用レジスタGR0～GR m は、算術論理演算ユニットALUから算術論理演算ユニット出力バスAOBUSを介して出力されるデータを取り込み、保持するとともに、必要に応じて算術論理演算ユニット出力バスAOBUSつまり算術論理演算ユニットALUに出力する。前述のように、汎用レジスタGR0～GR1と算術論理演算ユニット入力バスAIBUS及び算術論理演算ユニット出力バスAOBUSとの間の接続は、制御回路PC2等つまりプログラムメモリPM2等に格納された命令に従って制御される。また、汎用レジスタGR0～GR m から算術論理演算ユニットALUに出力されたデータは、クロック信号の同一サイクル内において算術論理演算ユニットALUで処理され、再び汎用レジスタGR0～GR m に取り込まれる。この結果、汎用レジスタGR0～GR m は、算術論理演算ユニットALUに直結された形となり、算術論理演算ユニットALUつまりはマイクロプロセッサMPUの演算処理に直接関与しうるものとなる。

【0017】この実施例において、汎用レジスタGR0及びGR1は、データ加工部DPをそれぞれ含み、機能付き汎用レジスタとされる。また、汎用レジスタGR0及びGR1は、インタフェースバスIBUSを介して入出力ポートIOPの対応するポートP0及びP1に直結されるとともに、システムバスSBUSを介して中央処理装置CPU及びランダムアクセスメモリRAM等に結合される。上記のように、機能付き汎用レジスタGR0及びGR1は、算術論理演算ユニットALUつまりはマイクロプロセッサMPUの演算処理に直接関与しうるものとされる。このため、算術論理演算ユニットALUつまりマイクロプロセッサMPUは、機能付き汎用レジスタGR0又はGR1を介して入出力ポートIOPのポートP0及びP1に関する入力処理又は出力処理に直接関与できるものとなる。

【0018】ところで、演算回路部AEの汎用レジスタGR0及びGR1は、図3の汎用レジスタGR0に代表されるように、16個のビットB0～BF（ここで、16個設けられる汎用レジスタのビット等の追番を16進数により表す。以下同様）を含み、これらのビットB0～BFは、第1相のクロック信号CLK1に従って動作するスタティックラッチSLと、第2相のクロック信号CLK2に従って動作するダイナミックラッチDLとをそれぞれ含む。また、ビットB0～BFのダイナミックラッチDL及びスタティックラッチSL間に設けられる

4個のライトセレクトWSa～WSdを含み、スタティックラッチSLの出力信号を受けるリードセレクトRSを含む。このうち、ライトセレクトWSaのデータ入力端子（入力ノード）には、回路の接地電位に結合され、ライトセレクトWSb～WSdのデータ入力端子は、それぞれインタフェースバスIBUS、算術論理演算ユニット出力バスAOBUS及びシステムバスSBUSに結合される。また、その制御端子には、制御回路部PCの制御回路PC0からセレクト制御信号SCa～SCdがそれぞれ供給される。なお、これらのセレクト制御信号SCa～SCdは、リードセレクトRSにも供給される。リードセレクトRSの第1の出力端子（出力ノード）は、システムバスSBUSに結合され、その第2～第3の出力端子は、算術論理演算ユニット入力バスAIBUS及びインタフェースバスIBUSにそれぞれ結合される。また、その第4の出力端子は、Pリード用の出力端子とされ、システムバスSBUSの対応するビットに結合される。

【0019】ここで、機能付き汎用レジスタGR0のビットB0～BFを構成するライトセレクトWSa～WSdは、図4に例示されるように、それぞれ2個のライトセレクトWSPa及びWSNaないしWSPd及びWSNdからなり、リードセレクトRSも、4個のリードセレクトRSA～RSDからなる。このうち、ライトセレクトWSPaのデータ入力端子は、回路の接地電位に結合され、その制御端子には、セレクト制御信号SCaが供給される。また、ライトセレクトWSNaのデータ入力端子は、ダイナミックラッチDLの出力端子に結合され、その制御端子には、セレクト制御信号SCaの反転信号が供給される。これらのライトセレクトWSPa及びWSNaの出力端子は、共通結合された後、ライトセレクトWSNbのデータ入力端子に結合される。一方、ライトセレクトWSPbのデータ入力端子は、インタフェースバスIBUSの対応するビットB0に結合される。また、その制御端子には、セレクト制御信号SCbが供給され、ライトセレクトWSNbの制御端子には、セレクト制御信号SCbの反転信号が供給される。これらのライトセレクトWSPb及びWSNbの出力端子は、共通結合された後、ライトセレクトWSNcのデータ入力端子に結合される。

【0020】同様に、ライトセレクトWSPcのデータ入力端子は、算術論理演算ユニット出力バスAOBUSの対応するビットB0に結合される。また、その制御端子には、セレクト制御信号SCcが供給され、ライトセレクトWSNcの制御端子には、セレクト制御信号SCcの反転信号が供給される。これらのライトセレクトWSPc及びWSNcの出力端子は、共通結合された後、ライトセレクトWSNdのデータ入力端子に結合される。一方、ライトセレクトWSPdのデータ入力端子は、システムバスSBUSの対応するビットB0に結合

される。また、その制御端子には、セレクト制御信号SCdが供給され、ライトセレクトWSNdの制御端子には、セレクト制御信号SCdの反転信号が供給される。これらのライトセレクトWSPd及びWSNdの出力端子は、共通結合された後、スタティックラッチSLの入力端子に結合される。

【0021】ライトセレクトWSPa～WSPdは、対応するセレクト制御信号SCa～SCdのハイレベルを受けてそれぞれ選択的に伝達状態とされ、そのデータ入力端子に供給される回路の接地電位あるいはインタフェースバスIBUS、算術論理演算ユニット出力バスAOBUS又はシステムバスSBUSのビットB0を介して入力されるデータを次段のライトセレクトWSNb、WSNc又はWSNdのデータ入力端子あるいはスタティックラッチSLの入力端子にそれぞれ選択的に伝達する。また、ライトセレクトWSNa～WSNdは、対応するセレクト制御信号SCa～SCdのロウレベルつまりはその反転信号のハイレベルを受けてそれぞれ選択的に伝達状態とされ、そのデータ入力端子に供給されるダイナミックラッチDLの出力信号あるいは前段の一对のライトセレクトWSPa及びWSNa、WSPb及びWSNbならびにWSPc及びWSNcの出力信号を次段のライトセレクトWSNb、WSNc又はWSNdのデータ入力端子あるいはスタティックラッチSLの入力端子にそれぞれ選択的に伝達する。

【0022】これらのことから、スタティックラッチSLの入力端子には、セレクト制御信号SCaがハイレベルとされかつセレクト制御信号SCb～SCdがすべてロウレベルであることを条件に、回路の接地電位つまり論理“0”が選択的に伝達される。また、セレクト制御信号SCbがハイレベルとされかつセレクト制御信号SCc及びSCdがともにロウレベルであることを条件に、インタフェースバスIBUSのビットB0を介して入力されるデータが選択的に伝達され、セレクト制御信号SCcがハイレベルとされかつセレクト制御信号SCdがロウレベルであることを条件に、算術論理演算ユニット出力バスAOBUSのビットB0を介して入力されるデータが選択的に伝達される。さらに、セレクト制御信号SCdがハイレベルであることを条件に、システムバスSBUSのビットB0を介して入力されるデータが選択的に伝達され、セレクト制御信号SCa～SCdがすべてロウレベルである場合には、ダイナミックラッチDLの出力信号が選択的に伝達される。つまり、ライトセレクトWSPa～WSPdならびにWSNa～WSNdは、一つの優先順序回路を構成する訳であって、スタティックラッチSLの入力端子には、システムバスSBUSのビットB0を介して入力されるデータが最優先で伝達され、ついで算術論理演算ユニット出力バスAOBUS、インタフェースバスIBUSのビットB0を介して入力されるデータ又は回路の接地電位あるいはダイナ

ミックラッチDLの出力信号の順序で伝達される。

【0023】なお、この実施例におけるライトセクタWSa~WSdの優先順位は、マイクロプロセッサMPUつまりはシングルチップマイクロコンピュータMCの使い勝手が良くなるよう工夫される。すなわち、例えば、外部の入出力装置IO0~IO2から入出力ポートIOPを介して入力される信号より、プログラマが人為的に書き込むデータの方が優先されるとともに、信号の伝達遅延時間の大きな出力回路をスタティックラッチSLの近くに配置し、マイクロプロセッサMPU全体としての高速化を図っている。また、中央処理装置CPU等からシステムバスSBUSを介して行われる書き込みやOUT命令による書き込みは、プログラムに直接関係のないリードクリア機能ならびに入出力ポートIOPを介する外部からの書き込みよりも優先され、プログラムに従って同期動作する中央処理装置CPUによる書き込みは、専用ハードウェア化されたダイレクトメモリアクセスコントローラDMACやシリアルコミュニケーションインタフェースSCI等の周辺装置からの書き込みよりも優先される。さらに、回路が複雑なために比較的伝達遅延時間の大きなOUT命令による書き込みは、算術論理演算ユニットALUからの書き込みよりも優先され、リードクリア機能による書き込みと入出力ポートIOPを介する外部からの書き込みとが競合した場合には、入出力処理の高速化に寄与する度合の大きな外部からの書き込みが優先される。

【0024】スタティックラッチSLの入力端子に伝達されたデータは、クロック信号CLK1の立ち上がりエッジに同期してスタティックラッチSLに取り込まれ、保持される。また、このスタティックラッチSLの出力信号は、クロック信号CLK2の立ち上がりエッジに同期してダイナミックラッチDLに取り込まれ、保持される。これにより、汎用レジスタGR0は、セクタ制御信号SCa~SCdつまりは対応するプログラムメモリPM0から読み出された命令に従って、システムバスSBUS、算術論理演算ユニット出力バスAOBUS、インタフェースバスIBUSのビットB0を介して入力されるデータ又は回路の接地電位あるいはダイナミックラッチDLの出力信号を選択的に取り込み、保持する言わば入力選択機能を有し、対応するデータ加工機能を有するものとなる。

【0025】言うまでもなく、システムバスSBUSを介して入力されるデータは、中央処理装置CPU又はランダムアクセスメモリRAM等から出力されるものであり、算術論理演算ユニット出力バスAOBUSを介して入力されるデータは、算術論理演算ユニットALUの演算結果である。また、インタフェースバスIBUSを介して入力されるデータは、対応する入出力装置IO0から入出力ポートIOPのポートPOを介して入力される外部入力データであり、回路の接地電位は、後述するP

リードのリードクリア時におけるクリア信号となる。一方、クロック信号CLK1及びCLK2の周波数が高くされマイクロプロセッサMPUが高速動作を行うとき、各ライトセクタに入力されるデータやセクタ制御信号にはハザード発生の可能性があり、最終的にスタティックラッチSLが不定状態となるケースが生じるおそれもある。セクタ制御信号SCa~SCdがすべてロウレベルとされるときダイナミックラッチDLの出力信号がスタティックラッチSLにそのまま伝達されることは、このようなケースにダイナミックラッチDLの保持データをそのままスタティックラッチSLに伝達し、少なくとも前回値を回復して、ハザードによる障害を防止することをその目的としている。

【0026】次に、リードセクタRSa~RSdを構成するリードセクタRSa~RSdのデータ入力端子には、スタティックラッチSLの出力信号が共通に供給され、その制御端子には、対応するセクタ制御信号SCa~SCdがそれぞれ供給される。また、リードセクタRSa~RSdの出力端子は、システムバスSBUS、算術論理演算ユニット入力バスAIBUS及びインタフェースバスIBUSの対応するビットB0にそれぞれ結合され、リードセクタRSdの出力端子は、システムバスSBUSの所定ビットBxに結合される。リードセクタRSdによるデータ出力は、いわゆるPリードと呼ばれるものであって、このビットBxは、例えば図示されない信号経路を介して算術論理演算ユニットALUのシフト命令の入力端子等に結合され、マイクロプロセッサMPUの判定動作に供される。

【0027】リードセクタRSa~RSdは、対応するセクタ制御信号SCa~SCdのハイレベルを受けてそれぞれ選択的に伝達状態とされ、スタティックラッチSLの出力信号つまりは汎用レジスタGR0のビットB0により保持されるデータをシステムバスSBUS、算術論理演算ユニット入力バスAIBUS又はインタフェースバスIBUSの対応するビットB0あるいはシステムバスSBUSの所定ビットBxに選択的に伝達する。これにより、汎用レジスタGR0は、その保持データをシステムバスSBUS、算術論理演算ユニット入力バスAIBUS又はインタフェースバスIBUSに選択的に伝達する言わば出力選択機能を有するものとなり、言わばデータ出力に関するデータ加工機能を有するものとなる。なお、Pリード時、システムバスSBUSのビットBxに出力されるデータが論理“1”である場合には、前記セクタ制御信号SCaが選択的にハイレベルとされ、これによって選択的にリードクリアが実現される。また、リードセクタRSa~RSdは、それぞれ独立してデータの出力機能を実現できるため、この実施例ではデータ出力に関する競合が発生することはない。

【0028】ところで、この実施例のマイクロプロセッサMPUは、前述のように、OUT命令機能を有し、例

例えば機能付き汎用レジスタGR1は、算術論理演算ユニットALUの演算結果として得られるゼロフラグ又はキャリーフラグを条件とし又は無条件で、その指定されたビットに1ビット単位でデータを取り込み、入出力ポートIOPの対応するポートP1に伝達する機能を有する。言うまでもなく、ゼロフラグとは、算術論理演算ユニットALUの演算結果が“0”のとき選択的に論理“1”とされるフラグであり、キャリーフラグとは、算術論理演算ユニットALUによる演算が行われた結果、桁あふれや桁落ちが生じたとき選択的に論理“1”とされるフラグである。この実施例のマイクロプロセッサMPUは、OUT命令による出力と、例えば機能付き汎用レジスタGR0を介する16ビット単位の出力とを同時に実行できるため、データを16+1ビットつまり17ビット単位で外部の入出力装置に出力できるものとなる。

【0029】ここで、機能付き汎用レジスタGR0を使用して入出力ポートIOPのポートP0から所定の出力信号を出力する場合のプログラムを例示しよう。まず、最初に、マイクロプロセッサMPUは、算術論理演算ユニットALUから算術論理演算ユニット出力バスAOBUSを介して16ビットの2進データ“00000000100000111”をイミディエイト値として機能付き汎用レジスタGR0に書き込む命令を実行させる。次に、s秒後に、2進データ“00000000011000011”を書き込む命令を実行させ、さらにs秒が経過するごとに、2進データ“00000000011100001”，“00000000011110000”，“0000000001111000”，“0000000000000011110”，及び“000000000000001111”を書き込む命令を順次実行させ、これらの8個の命令をもってプログラムループを形成させる。

【0030】これらのことから、ポートP0の上位8個の外部端子には、常に論理“0”の固定波形が出力されるが、下位8個の外部端子には、周期8s秒、デューティ50%とされ、かつ互いに45度の位相差を有する8相の出力信号波形を得ることができる。このとき、機能付き汎用レジスタGR0は、入出力ポートIOPのポートP0とともに信号発生回路となるタイマー回路等をエミュレートしている訳であって、データの入出力経路や組み合わせならびに命令を変えることで、各種の周辺装置をソフトウェア的にエミュレートできるものとなる。また、このようなエミュレーションは、機能付き汎用レジスタのそれぞれにおいて独立しかつ並行して実現できるものであって、1個のマイクロプロセッサMPUの時間分割処理によって複数の周辺装置を同時にエミュレートできるものとなる。

【0031】図5には、図2のマイクロプロセッサMPUの演算回路部AEに含まれる機能付き汎用レジスタG

R0の第2の実施例のブロック図が示されている。なお、この実施例の機能付き汎用レジスタGR0は、前記図3の実施例を基本的に踏襲するものであるため、これと異なる部分についてのみ説明を追加する。

【0032】図5において、機能付き汎用レジスタGR0のビットB0を構成するライトセクタWSaの第1の入力端子には、所定のシフト入力端子を介してシフト入力信号Sinが供給され、第2の入力端子には、対応するダイナミックラッチDLの出力信号が供給される。また、その第1の制御端子には、セクタ制御信号SCaが供給され、第2の制御端子には、前回値選択信号PSLが供給される。一方、機能付き汎用レジスタGR0のビットB1~BFを構成するライトセクタWSaの第1の入力端子には、前段のビットB0~BEを構成するスタティックラッチSLの出力信号S0~SEがそれぞれ供給され、第2の入力端子には、対応するダイナミックラッチDLの出力信号がそれぞれ供給される。また、その制御端子には、上記セクタ制御信号SCaが共通に供給される。

【0033】機能付き汎用レジスタGR0のビットB0~BFを構成するライトセクタWSaは、セクタ制御信号SCaがロウレベルとされるとき、対応するダイナミックラッチDLの出力信号を選択し、ライトセクタWSbに伝達する。また、セクタ制御信号SCaがハイレベルとされるとき、シリアル入力信号Sin又は前段のビットB0~BEを構成するスタティックラッチSLの出力信号S0~SEを選択し、ライトセクタWSbに伝達する。ライトセクタWSbに伝達された信号は、セクタ制御信号SCb~SCdがロウレベルであることを条件に選択的にスタティックラッチSLに伝達され、さらに対応するダイナミックラッチDLに伝達される。これにより、機能付き汎用レジスタGR0のビットB0~BFは、セクタ制御信号SCaがハイレベルとされるときを条件に選択的にシフト構成とされて直並列又は並直列変換回路として機能し、ソフトウェア的にシリアルコミュニケーションインタフェースSCIあるいはパルスワイズモジュレーションタイマ等をエミュレートするものとなる。なお、機能付き汎用レジスタGR0がシフト構成とされるとき、最下位ビットのビットB0を構成するライトセクタWSaは、前回値選択信号PSLがハイレベルであることを条件に、ダイナミックラッチDLの出力つまりはその前回値を繰り返し選択し、シフト入力信号Sinは無効となる。

【0034】前記図3の実施例で示したように、機能付き汎用レジスタGR0は、セクタ制御信号SCcがハイレベルとされることで、算術論理演算ユニット出力バスAOBUSを介して供給される算術論理演算ユニットALUの出力をパラレルに取り込み、またそのビットB0~BFを構成するスタティックラッチSLの出力を算術論理演算ユニット出力バスAOBUSを介して算術論

理演算ユニットA L U にパラレルに出力する機能を持つ。したがって、まずセクタ制御信号S C a をハイレベルとして機能付き汎用レジスタG R O をシフト構成とし、16ビットのシフト入力信号S i n が入力された時点でセクタ制御信号S C c をハイレベルとして機能付き汎用レジスタG R O の各スタティックラッチS L の出力を算術論理演算ユニット入力バスA I B U S つまり算術論理演算ユニットA L U にパラレル出力することで、16ビットの直並列変換回路をエミュレートできる。また、まずセクタ制御信号S C c をハイレベルとして機能付き汎用レジスタG R O に算術論理演算ユニットA L U の出力をパラレル入力した後、セクタ制御信号S C a をハイレベルとして機能付き汎用レジスタG R O をシフト構成することで、やはり16ビットの並直列変換回路をエミュレートできる。このとき、ビットB F のスタティックラッチS L の出力信号S F は、シリアル出力信号S o u t として所定のシリアル出力端子からシリアルに出力することができる。

【 0 0 3 5 】ところで、この実施例のマイクロプロセッサMPUは、前述のように、専用ハードウェアとして構成されるシリアルコミュニケーションインタフェースSCIを備え、このシリアルコミュニケーションインタフェースSCIは、周知のように、上記機能付き汎用レジスタGR0がシフト構成とされる場合と同様な直並列又は並直列変換機能を持つ。しかし、シフト構成とされる機能付き汎用レジスタGR0の動作がプログラムメモリPM0に格納された命令に従って制御されるのに比べて、専用ハードウェアたるシリアルコミュニケーションインタフェースSCIの動作は、変換終了時における16ビットごとの割り込み処理を必要とし、これによって中央処理装置CPUの処理負担が増大する。言い換えるならば、マイクロプロセッサMPUによってエミュレートされるシリアルコミュニケーションインタフェースSCIは、中央処理装置CPUの介入を必要とすることなくしかも中央処理装置CPUによる他の処理と並行して実現できる訳であって、結果的に中央処理装置CPUの処理負担が著しく軽減されるものとなる。

【0036】ここで、二つのプログラム例をあげ、シフト構成とされる機能付き汎用レジスタの応用方法を説明する。まず、第1のプログラム例では、機能付き汎用レジスタGR0のシリアル出力端子Soutが結合される入出力ポートIOPのポートP0の外部端子Xと、機能付き汎用レジスタGR1のシリアル出力端子Soutが結合されるポートP1の外部端子Yに、位相差180度、デューティ20%、周波数が基本クロック信号の1/10とされる2相の出力信号を得る。

【0037】マイクロプロセッサMPUは、最初に外部端子Xに対応する機能付き汎用レジスタGR0に2進データ“110000000000000000”を、また外部端子Yに対応する機能付き汎用レジスタGR1に2進

データ“0000011000000000”を、算術論理演算ユニットALUから書き込むための命令を実行する。次に、機能付き汎用レジスタGR0及びGR1のビットB0のシフト入力信号Sinとして論理“0”又は“1”のデータを代入した後、セレクト制御信号SCaをハイレベルとし、機能付き汎用レジスタGR0及びGR1をシフタ構成とする。そして、基本クロック信号の10サイクルが経過した時点で機能付き汎用レジスタGR0の上位8ビットに2進データ“11000000”を書き込み、さらに5サイクル後には機能付き汎用レジスタGR1の上位8ビットに同じ2進データ“11000000”を書き込む。以下、5サイクルが経過するごとに機能付き汎用レジスタGR0及びGR1の上位8ビットに2進データ“11000000”を交互に書き込み、これらの命令をループさせる。

【0038】これらの結果、入出力ポートIOPのポートP0及びP1の外部端子X及びYには、位相差180度、デューティ20%、周波数がクロック信号の1/10とされる2相の出力波形が得られ、この出力信号によって例えばモータ等を駆動することが可能となる。このプログラム例の場合、マイクロプロセッサMPUの算術論理演算ユニットALUは、基本クロック信号の5サイクルおきに2進データ“11000000”を書き込む命令を実行すればよい訳であり、残りの4サイクルでは他の処理を実行し、その処理能力を高めることができる。

【 0 0 3 9 】次に、第2のプログラム例として、機能付き汎用レジスタGR0のシフト出力端子Soutが結合される入出力ポートIOPのポートP0の外部端子Zに、デューティ75%、周波数が基本クロック信号の1/40とされる出力波形を得る場合を掲げる。マイクロプロセッサMPUは、まず算術論理演算ユニットALUから機能付き汎用レジスタGR0に2進データ“1111111111111111”を書き込む命令を実行する。また、前回値選択信号PSLをハイレベルとした後、セクタ制御信号SCaをハイレベルとし、機能付き汎用レジスタGR0をシフタ構成とする。そして、基本クロック信号の20サイクルが経過した時点で、算術論理演算ユニットALUから機能付き汎用レジスタGR0に2進データ“111111111111000000”を書き込む命令を実行した後、さらに基本クロック信号の20サイクルが経過するごとに、2進データ“11111111111111111111”及び“111111111111000000”を交互に書き込むための命令を実行し、これらの命令をループさせる。

【0040】これらの結果、入出力ポートIOPのポートP0の外部端子Zには、2進データ“1111111111111111111111111111110000000000”に対応するデューティ75%、周波数が基本クロック信号の1/40の出力波形が得られ

る。なお、シフタ構成とされる機能付き汎用レジスタGR0が16ビット構成とされその並直列変換処理が16ビットを単位として行われるにもかかわらず、上記一連の2進データを書き込むための命令は20サイクルごとに行われるが、この実施例の場合、前回値選択信号PSLがハイレベルとされ機能付き汎用レジスタGR0のビットB0がその前回値を繰返し入力するため、上記のような信号波形を得ることができるものとなる。このことは、比較的サイクルの長い各種の信号波形の生成に有効となり、これによってマイクロプロセッサMPUの利便性がさらに高められるものとなる。

【0041】図6には、図2のマイクロプロセッサMPUに含まれる演算回路部AEの第3の実施例のブロック図が示されている。なお、この実施例の演算回路部AEは前記図2及び図3の実施例を基本的に踏襲するものであるため、これと異なる部分についてのみ説明を追加する。また、図6では、リードセクタRS、スタティクラッチSL、ライトセクタWS及び算術論理演算ユニットALUが、上位又は下位の8ビットを単位とするブロックにまとめて示される。

【0042】図6において、機能付き汎用レジスタGR0は、上位又は下位の8ビットを単位として分割された二つのリードセクタRSU及びRSLを含む。このうち、上位リードセクタRSUの入力端子は、8ビットからなるスタティクラッチSLの出力端子に結合され、その出力端子は、上位算術論理演算ユニット入力バスAIBUSUならびにインタフェースバスIBUSの上位8ビットに結合される。一方、下位リードセクタRSLの入力端子は、8ビットからなるグラウンド部GNDに結合され、その出力端子は、下位算術論理演算ユニット入力バスAIBUSLに結合される。なお、グラウンド部GNDの各ビットの出力端子には、常に回路の接地電位つまり論理“0”が出力される。リードセクタRSLの制御端子には、算術論理演算ユニットALUからみて入力選択信号となるセクタ制御信号SCa iが供給される。また、リードセクタRSUの第1の制御端子には、上記セクタ制御信号SCa iが供給され、その第2の入力端子には、外部データの入力選択信号となるセクタ制御信号SCe dが供給される。

【0043】リードセクタRSUは、セクタ制御信号SCa iがハイレベルとされるとき、スタティクラッチSLによって保持される8ビットのデータを上位算術論理演算ユニット入力バスAIBUSUを介して算術論理演算ユニットALUの上位8ビットつまり上位算術論理演算ユニットACUに入力する。このとき、下位リードセクタRSLは、グラウンド部GNDから供給される8ビットの論理“0”データを下位算術論理演算ユニット入力バスAIBUSLを介して算術論理演算ユニットALUの下位8ビットつまり下位算術論理演算ユニットACLに入力する。一方、リードセクタRSUは、

セクタ制御信号SCe dがハイレベルとされるとき、スタティクラッチSLによって保持される8ビットのデータをインタフェースバスIBUSの下位8ビットならびに入出力ポートIOPのポートP0を介して外部の入出力装置IOOに出力する。

【0044】機能付き汎用レジスタGR0は、さらに8ビットからなるライトセクタWSを含む。このライトセクタWSの第1及び第2の入力端子は、下位算術論理演算ユニット出力バスAOBUSL及び上位算術論理演算ユニット出力バスAOBUSUにそれぞれ結合され、その第3の入力端子は、インタフェースバスIBUSに結合される。また、ライトセクタWSの第1の制御端子には、算術論理演算ユニットALUからみて出力選択信号となるセクタ制御信号SCa oが供給され、その第2の制御端子には、上記セクタ制御信号SCe dが供給される。ライトセクタWSの出力端子は、スタティクラッチSLの入力端子に結合され、このスタティクラッチSLの出力端子は、図示されないダイナミックラッチDLを介してライトセクタWSの第4の入力端子に結合される。

【0045】この実施例において、ライトセクタWSは、セクタ制御信号SCe dがハイレベルとされるとき、外部の入出力装置IOOから入出力ポートIOP及びインタフェースバスIBUSを介して入力される外部データを取り込み、スタティクラッチSLに伝達する。また、セクタ制御信号SCa oがハイレベルとされるとき、上位算術論理演算ユニットACUから上位算術論理演算ユニット出力バスAOBUSUを介して入力される8ビットのデータを、下位算術論理演算ユニットACLから下位算術論理演算ユニット出力バスAOBUSLを介して入力される8ビットのデータをマスクとして選択的に取り込み、スタティクラッチSLに伝達する。すなわち、ライトセクタWSは、上位算術論理演算ユニットACUから上位算術論理演算ユニット出力バスAOBUSUを介して入力される8ビットのデータを、対応するマスクデータが論理“0”であることを条件に選択的に取り込み、スタティクラッチSLの対応するビットに伝達する。対応するマスクデータが論理“1”とされるとき、上位算術論理演算ユニット出力バスAOBUSUを介して入力されるデータは無視され、スタティクラッチSLの対応するビットは変化しない。また、セクタ制御信号SCe d及びSCa oがともにロウレベルとされるとき、ライトセクタWSは、スタティクラッチSLによって保持される前回値をそのまま再度取り込み、保持する。

【0046】ここで、三つのプログラム例をあげて、この実施例の演算回路部AEの応用方法について説明する。まず、第1のプログラム例は、機能付き汎用レジスタGR0に対応する入出力ポートIOPのポートP0の8個の外部端子から、命令Aに含まれる3ビットのイミ

ディエイトデータ“a b c”と命令Bに含まれる5ビットのイミディエイトデータ“l m n o p”とを組み合わせ出力するケースである。この実施例の場合、マイクロプロセッサMPUは、最初に“MOV a b c d e f g h 0 0 0 1 1 1 1 1 → GR0”なる命令Aを実行した後、引き続いて“MOV i j k l m n o p 1 1 1 0 0 0 0 0 → GR0”なる命令Bを実行する。なお、これらの命令A及びBに代表される“MOV X → Y”なるいわゆるムーブ命令は、“データXをYに出力せよ”を意味するものであり、Xは上記のようなイミディエイト値でも良いし指定されたレジスタの中身であってもよい。言うまでもなく、Yは機能付き汎用レジスタGR0を示し、あわせて入出力ポートIOPのポートP0の8個の外部端子をも示すものである。

【0047】演算回路部AEの機能付き汎用レジスタGR0では、まず命令Aを受けてセクタ制御信号SCa oがハイレベルとされ、算術論理演算ユニットALUの上位8ビットつまり2進データ“a b c d e f g h”が下位8ビットつまりマスクデータ“0 0 0 1 1 1 1 1”に従って選択的にスタティックラッチSLに取り込まれる。前述のように、2進データの各ビットは、対応するマスクデータが論理“0”であることを条件に選択的にスタティックラッチSLの対応するビットに伝達されるため、スタティックラッチSLには、2進データの上位3ビットつまり2進データ“a b c”のみが選択的に取り込まれる。このとき、スタティックラッチSLの下位5ビットは、破壊されずにそのまま保持される。次に、この状態で命令Bが実行されると、機能付き汎用レジスタGR0では、セクタ制御信号SCa oが再度ハイレベルとされ、算術論理演算ユニットALUの上位8ビットつまり2進データ“i j k l m n o p”が下位8ビットつまりマスクデータ“1 1 1 0 0 0 0 0”に従って選択的にスタティックラッチSLに取り込まれる。この結果、スタティックラッチSLには、2進データの下位5ビットつまり2進データ“l m n o p”のみが選択的に取り込まれ、上位3ビットの2進データ“a b c”は、そのまま破壊されずに保持される。

【0048】前述のように、機能付き汎用レジスタGR0は、入出力ポートIOPのポートP0に直結され、スタティックラッチSLにおいて組み合わせられた8ビットの2進データ“a b c l m n o p”は、ポートP0の8個の外部端子を介して対応する入出力装置IOOに出力される。

【0049】一方、第2のプログラム例は、例えば入出力ポートIOPのポートP0の8個の外部端子から8ビットの外部データを機能付き汎用レジスタGR0に入力した後、その上位4ビットを破壊することなく算術論理演算ユニットALUによって“1”を加算し、再度もとの8個の外部端子から出力するものである。マイクロプロセッサMPUでは、“ADD 0 0 0 0 0 0 0 1 1 1 1 0 0 0 0 → GR0”なる命令Cが実行される。この命令Cに代表される加算命令“ADD X → Y”は、“XのデータをYのデータに加算し、Yに出力せよ”を意味し、Xはイミディエイト値でもよく指定されたレジスタの中身であってもよい。

【0050】マイクロプロセッサMPUの機能付き汎用レジスタGR0では、命令Cの実行によってまずセクタ制御信号SCe dがハイレベルとされ、入出力ポートIOPのポートP0からインタフェースバスIBUSの上位8ビットを介して伝達される8ビットの外部データがスタティックラッチSLに取り込まれる。これらの外部データは、セクタ制御信号SCa iがハイレベルとされることで算術論理演算ユニットALUの上位8ビットつまり上位算術論理演算ユニットACUの一方の入力端子に伝達され、その下位8ビットつまり下位算術論理演算ユニットACLの一方の入力端子には、グランド部GNDを介して2進データ“0 0 0 0 0 0 0 0”が入力される。このとき、上位算術論理演算ユニットACUの他方の入力端子には、命令Cのイミディエイト値の上位8ビットつまり2進データ“0 0 0 0 0 0 0 1”が入力され、下位算術論理演算ユニットACLの他方の入力端子には、その下位8ビットつまり2進データ“1 1 1 1 0 0 0 0”が入力される。したがって、外部データの初期値を例えば“0 0 0 0 1 1 1 1”とした場合、算術論理演算ユニットALUは、“0 0 0 0 0 0 0 1 1 1 1 1 0 0 0 0” + “0 0 0 0 1 1 1 1 0 0 0 0 0 0 0 0”なる加算処理を実行し、その結果として桁上げ信号を含む2進データ“0 0 0 1 0 0 0 0 1 1 1 1 0 0 0 0”を得る。

【0051】算術論理演算ユニットALUの演算結果は、前述のように、その上位8ビットを意味のある2進データとしその下位8ビットをマスクデータとして機能付き汎用レジスタGR0に再書き込みされ、入出力ポートIOPのポートP0に伝達される。この結果、ポートP0の8個の外部端子には、2進データ“0 0 0 0 0 0 0 0”が出力され、加算結果の第12ビットに含まれる桁上げ信号は無視され、外部データの上位4ビットも破壊されることなく残される。つまり、この実施例の場合、算術論理演算ユニットALUの下位8ビットの一方の入力端子には、グランド部GNDから常に2進データ“0 0 0 0 0 0 0 0”が入力されるため、加算結果の下位8ビットつまりマスクデータには桁上げが発生せず、第7ビットから第4ビットは常に論理“1”となる。このため、加算結果の第11ビットから第8ビットのみが対応する下位4個の外部端子から出力されるとともに、加算結果の桁上げ信号は無視され、外部データの上位4ビットは保護される。

【0052】最後に、第3のプログラム例として、上記加算命令においてキャリーフラグ及びゼロフラグを有効化する方法をあげる。このマイクロプロセッサMPUで

は、前述のように、機能付き汎用レジスタGR0の上位8ビットに意味のある2進データを割り当て、下位8ビットにマスクデータを割り当てているため、マスクデータの全ビットを論理“0”とする加算命令Dつまり“ADD 1111111100000000→GR0”を実行すればよい。このとき、外部データの初期値を“00000001”とすると、算術論理演算ユニットALUは、“11111111100000000”+“0000000100000000”なる加算処理を実行し、その結果として桁上げを伴う2進データ“0000000000000000”を得る。このうち、上位8ビットは、マスクされることなく機能付き汎用レジスタGR0に書き込みされ、ポートP0の8個の外部端子を介して入出力装置IO0に出力される。また、算術論理演算ユニットALUのゼロフラグ及びキャリーフラグには、演算結果に応じて有効なフラグがそれぞれ選択的に設定されるため、マイクロプロセッサMPUは、分岐命令によってこれらのフラグを活用し、あるいはOUT命令によって外部に出力できる。

【0053】以上のように、この実施例のマイクロプロセッサMPUは、算術論理演算ユニット入力バスAIBUS及び算術論理演算ユニット出力バスAOBUSを介して算術論理演算ユニットALUに結合されるm+1個の汎用レジスタGR0～GRmを備え、このうち2個の汎用レジスタGR0及びGR1は、機能付き汎用レジスタとされ、その保持データに対して所定の加工処理を施すためのデータ加工部DPをそれぞれ含む。また、機能付き汎用レジスタGR0及びGR1は、入出力ポートIOPのポートP0及びP1にそれぞれ直結されるため、その保持データを外部の入出力装置IO0及びIO1に直接出力し、またこれらの入出力装置から出力されるデータを直接入力することができる。さらに、この実施例のマイクロプロセッサMPUは、機能付き汎用レジスタGR0及びGR1に対応して設けられるプログラムメモリPM0及びPM1ならびに制御回路PC0及びPC1を備えるため、機能付き汎用レジスタGR0及びGR1は、算術論理演算ユニットALUとは独立にかつ並行して複数の処理を実行する。これらの結果、この実施例のマイクロプロセッサMPUは、同時に複数の周辺装置としての機能をエミュレートし、しかも効率的な入出力処理を実現しうるものとなる。

【0054】以上の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) シングルチップマイクロコンピュータに搭載され複数の周辺装置としての機能をソフトウェア的にかつ時分割的にエミュレートするマイクロプロセッサ等において、算術論理演算ユニットに結合される汎用レジスタの一部又は全部に、その保持データに所定の加工処理を施すデータ加工機能を持たせるとともに、このようなデータ加工機能を持つ機能付き汎用レジスタを入出力ポート

に直結し、各機能付き汎用レジスタに対応してその動作を制御するためのプログラムメモリ及び制御回路を設けることで、算術論理演算ユニットと入出力ポートとの間を機能付き汎用レジスタを介して論理的に直結し、マイクロプロセッサ及び入出力ポート間のデータ授受を高速化できるという効果が得られる。

(2) 上記(1)項により、入出力データに対するマスク処理やシフト処理を機能付き汎用レジスタにより算術論理演算ユニットを介することなく並行しかつ効率良く実現することができるという効果が得られる。

(3) 上記(1)項及び(2)項により、その入出力処理に関する性能及び分解能を低下させることなく、複数の周辺装置としての機能を時分割的にかつ効率的にエミュレートしうるマイクロプロセッサ等のデジタル処理装置を実現することができるという効果が得られる。

【0055】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、図1において、シングルチップマイクロコンピュータMCは、ダイレクトメモリアクセスコントローラDMAC及びシリアルコミュニケーションインタフェースSCI以外の専用ハードウェアを備えることができるし、このような専用ハードウェアを備えることを必須条件ともしない。また、入出力ポートIOPは、任意数のポートを備えることができるし、これらのポートとマイクロプロセッサMPUの機能付き汎用レジスタ又は入出力装置との間の組み合わせも、任意に設定できる。シングルチップマイクロコンピュータは、任意のブロック構成を採りうる。

【0056】図2において、プログラムメモリ部PMを構成するプログラムメモリPM0～PMjならびに制御回路部PCを構成する制御回路PC0～PCjと汎用レジスタを含む機能単位との関係は、この実施例による制約を受けない。また、データ加工部DPは、任意数の汎用レジスタに設けることができるし、汎用レジスタGR0～GRmのすべてに設けてもよい。プログラムメモリ部PMのアドレス構成は、任意に設定できるし、マイクロプロセッサMPUのブロック構成及びバス構成は、この実施例による制約を受けない。

【0057】図3及び図4において、機能付き汎用レジスタGR0のビットB0～BFに設けられるライトセクタWSの数は、その用途及び機能に応じて任意に設定できるし、その優先順位も任意である。また、機能付き汎用レジスタGR0の最下位ビットに設けられるリードクリア機能は、その論理レベルを任意に設定できるいわゆるリードプリセット機能としてもよい。汎用レジスタGR0～GRmのビット数は任意に設定できるし、各ビットのブロック構成も任意である。図6において、ライトセクタWSは、下位算術論理演算ユニット出力バス

AOBUSLを介して入力される8ビットの2進データを、上位算術論理演算ユニット出力バスAOBUSUを介して入力される8ビットのマスクデータに従って選択的にスタティックラッチSLに伝達するものであってもよい。

【0058】以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野であるシングルチップマイクロコンピュータならびにそのマイクロプロセッサに適用した場合について説明したが、それに限定されるものではなく、例えば、周辺プロセッサとして単体で形成されるマイクロプロセッサや、マイクロプロセッサを搭載するゲートアレイ集積回路等にも適用できる。汎用レジスタにデータ加工部を設けることで算術論理演算ユニットつまりプロセッサとしての処理能力を高める方法は、マイクロプロセッサに限らず各種のプロセッサに応用できる。この発明は、少なくとも汎用レジスタ及び算術論理演算ユニットを含みあるいは周辺装置としての機能をエミュレートするデジタル処理装置ならびにこのようなデジタル処理装置を含むシステムに広く適用できる。

【0059】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、シングルチップマイクロコンピュータ等に搭載され複数の周辺装置としての機能をソフトウェア的にかつ時分割的にエミュレートするマイクロプロセッサ等において、算術論理演算ユニットに結合される汎用レジスタの一部又は全部に、その保持データに所定の加工処理を施すデータ加工機能を持たせるとともに、このようなデータ加工機能を持つ機能付き汎用レジスタを入出力ポートに直結し、各機能付き汎用レジスタに対応して、その動作を制御するためのプログラムメモリ及び制御回路を設けることで、算術論理演算ユニットと入出力ポートとの間を機能付き汎用レジスタを介して論理的に直結し、マイクロプロセッサ及び入出力ポート間のデータ授受を高速化できるとともに、入出力データに対するマスク処理やシフト処理を機能付き汎用レジスタによりしかも算術論理演算ユニットを介することなく並行して行うことができる。この結果、その入出力処理に関する性能及び分解能を低下させることなく、複数の周辺装置としての機能を時分割的にかつ効率的にエミュレートしうるマイクロプロセッサ等のデジタル処理装置を実現することができる。

【図面の簡単な説明】

【図1】この発明が適用されたマイクロプロセッサを含むシングルチップマイクロコンピュータの一実施例を示すシステム構成図である。

【図2】図1のシングルチップマイクロコンピュータに含まれるマイクロプロセッサの一実施例を示すブロック

構成図である。

【図3】図2のマイクロプロセッサの演算回路部に含まれる機能付き汎用レジスタの第1の実施例を示すブロック構成図である。

【図4】図3の機能付き汎用レジスタの第0ビットの一実施例を示すブロック構成図である。

【図5】図2のマイクロプロセッサの演算回路部に含まれる機能付き汎用レジスタの第2の実施例を示すブロック構成図である。

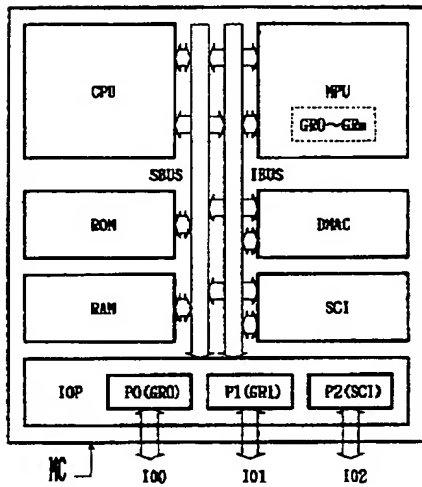
【図6】図2のマイクロプロセッサに含まれる演算回路部の第3の実施例を示す部分的なブロック構成図である。

【符号の説明】

MC・・・シングルチップマイクロコンピュータ、CPU・・・中央処理装置（メインプロセッサ）、MPU・・・マイクロプロセッサ（サブプロセッサ）、GR0～GRm・・・汎用レジスタ、SBUS・・・システムバス、IBUS・・・インタフェースバス、ROM・・・リードオンリーメモリ、RAM・・・ランダムアクセスメモリ、DMAC・・・ダイレクトメモリアクセスコントローラ、SCI・・・シリアルコミュニケーションインタフェース、IOP・・・入出力ポート、P0～P2・・・ポート、IO0～IO2・・・入出力装置。PM・・・プログラムメモリ部、PM0～PMj・・・プログラムメモリ、PC・・・制御回路部、PC0～PCj・・・制御回路、AE・・・演算回路部、GR0～GR1・・・機能付き汎用レジスタ、DP・・・データ加工部、ALU・・・算術論理演算ユニット、AIBUS・・・算術論理演算ユニット入力バス、AOBUS・・・算術論理演算ユニット出力バス。B0～BF・・・汎用レジスタ各ビット、SL・・・スタティックラッチ、DL・・・ダイナミックラッチ、WSa～WSd・・・ライトセクタ、RS・・・リードセクタ、SCa～SCd・・・セクタ制御信号、CLK1～CLK2・・・クロック信号。RSa～RSd・・・リードセクタ、WSPa～WSPd、WSNa～WSNd・・・ライトセクタ。PSL・・・前回値選択信号、Sin・・・シリアル入力端子、Sout・・・シリアル出力端子、S0～SF・・・スタティックラッチ出力信号。ACU・・・上位算術論理演算ユニット、ACL・・・下位算術論理演算ユニット、RSU・・・上位リードセクタ、RSL・・・下位リードセクタ、GND・・・グランド部、AIBUSU・・・上位算術論理演算ユニット入力バス、AIBUSL・・・下位算術論理演算ユニット入力バス、AOBUSU・・・上位算術論理演算ユニット出力バス、AOBUSL・・・下位算術論理演算ユニット出力バス、SCai、SCao、SCed・・・セクタ制御信号、SAC・・・算術論理演算ユニット制御信号。

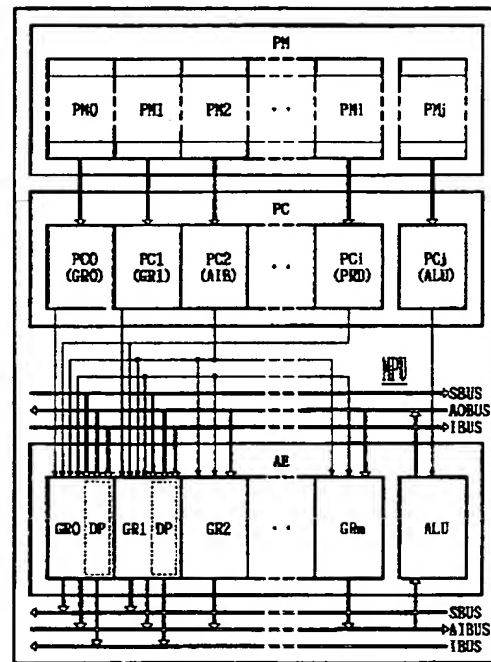
【図 1】

図 1 シングルチップマイクロコンピュータの構成



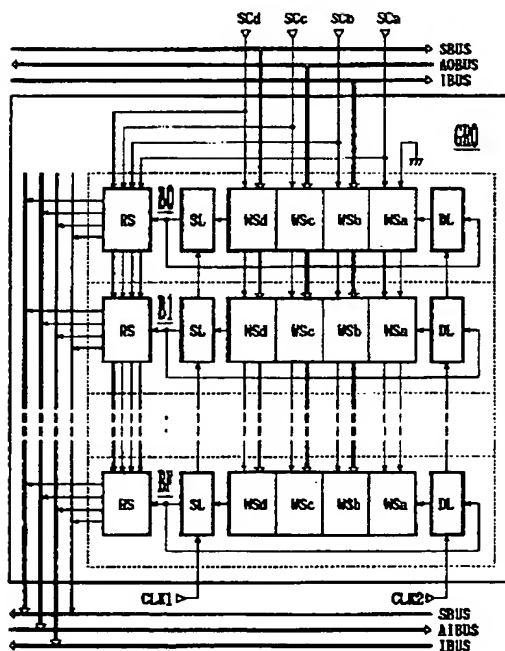
【図 2】

図 2 マイクロプロセッサの構成



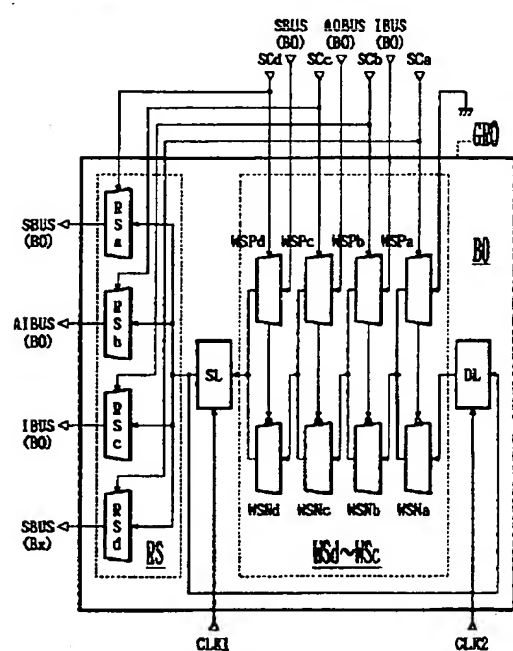
【図 3】

図 3 機能付き汎用レジスタの構成 (実施例 1)



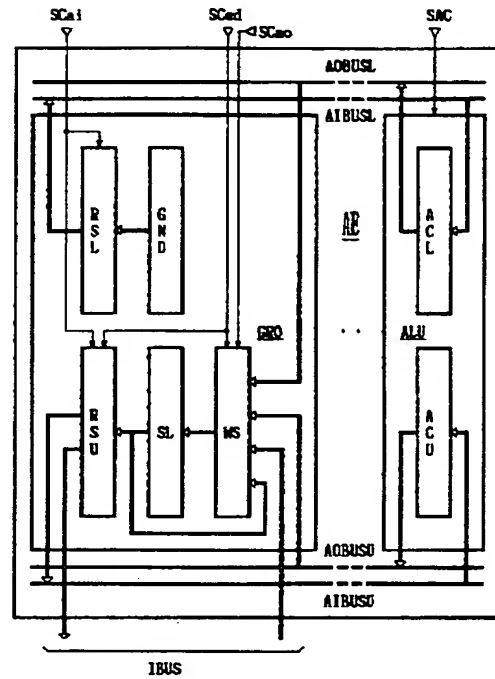
【図 4】

図 4 機能付き汎用レジスタ各ビットの構成 (実施例 1)



【図 6】

図 6 演算回路部の構成 (実施例 3)



(72)発明者 宮岡 秀治
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 林 誠
東京都小平市上水本町5丁目20番1号 日
立超エル・エス・アイ・エンジニアリング
株式会社内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.